

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

25.01.2005.

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年 1 1 月 1 2 日  
Date of Application:

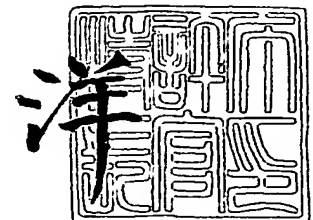
出 願 番 号            特 願 2 0 0 3 - 3 8 2 1 1 6  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 3 8 2 1 1 6 ]

出      願      人            住友化学株式会社  
Applicant(s):

2 0 0 4 年 1 1 月 1 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 156337  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/205  
【発明者】  
    【住所又は居所】 茨城県つくば市北原 6 番 住友化学工業株式会社内  
    【氏名】 小廣 健司  
【発明者】  
    【住所又は居所】 茨城県つくば市北原 6 番 住友化学工業株式会社内  
    【氏名】 高田 朋幸  
【特許出願人】  
    【識別番号】 000002093  
    【氏名又は名称】 住友化学工業株式会社  
【代理人】  
    【識別番号】 100077540  
    【弁理士】  
    【氏名又は名称】 高野 昌俊  
【手数料の表示】  
    【予納台帳番号】 060336  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0013944

## 【書類名】 特許請求の範囲

## 【請求項 1】

InP 単結晶基板上に直接または該基板と格子整合するエピタキシャル層を介して InGaAs 層をエピタキシャル成長させるに当たり、V/III 比が 10~100、成長温度が 630℃~700℃、成長速度が 0.6 μm/h~2 μm/h の条件下に成長させることを特徴とする化合物半導体エピタキシャル基板の製造方法。

## 【請求項 2】

InP 単結晶基板上に直接または該基板と格子整合するエピタキシャル層を介して InGaAs 層をエピタキシャル成長させるに当たり、V/III 比が 10~100、成長温度が 630℃~700℃、成長速度が 0.6 μm/h~2 μm/h の条件下に成長させることを特徴とする化合物半導体エピタキシャル基板の凹状欠陥の抑制方法。

## 【請求項 3】

InP 単結晶基板として、面方位 (100) 方向で、面方位精度 ±0.05° 以内である基板を用いることを特徴とする請求項 1 または 2 記載の方法。

## 【請求項 4】

エピタキシャル成長を MOCVD 法によって実施することを特徴とする請求項 1~3 いずれかに記載の方法。

## 【請求項 5】

InGaAs 層のエピタキシャル成長におけるガリウム原料が、トリメチルガリウム、インジウム原料が、トリメチルインジウムであることを特徴とする請求項 1~4 いずれかに記載の方法。

## 【請求項 6】

請求項 1~5 いずれかに記載の方法によって得られた化合物半導体エピタキシャル基板。

## 【書類名】明細書

【発明の名称】化合物半導体エピタキシャル基板の製造方法

## 【技術分野】

## 【0001】

本発明は、単結晶基板上に化合物半導体エピタキシャル層を成長させる際に生じる凹状欠陥の発生を抑制せしめた化合物半導体エピタキシャル基板の製造方法に関するものである。

## 【背景技術】

## 【0002】

従来の気相エピタキシャル成長法、特に有機金属熱分解法（MOCVD法）により単結晶基板上にエピタキシャル層を成長させる場合、その成長表面に涙状欠陥、ヒロック等と称されている凸状の欠陥が生じることが知られている。その直径寸法は $10 \sim 30 \mu\text{m}$ 程度と大きい、高さは数十 $\text{nm}$ と比較的低いのが特徴である。この種の凸状欠陥は高さが低いことデバイス作製上の障害になることは比較的少ないが、場合によっては作製工程で使用されるフォトリソマスクを傷つけたり、パターンにずれを生じさせる等のトラブルの原因となる。

## 【0003】

この表面欠陥の発生を防止するため、特許文献1には、本来の面方位である（100）面から $0.1^\circ \sim 0.5^\circ$ 傾いた面を持つ単結晶基板を用い、基板温度を $600^\circ\text{C} \sim 700^\circ\text{C}$ にして化合物半導体単結晶層を気相エピタキシャル成長させることが提案されている。また、特許文献2には、この種の表面欠陥が基板の転位をもとにして発生することに着目し、基板の転位密度を考慮してオフ角を決定することにより設計の自由度を向上させた方法が提案されている。

## 【0004】

上記の従来技術は、いずれも、基板のオフ角を制御することにより凸状の表面欠陥を低減させることができるようにした技術である。

【特許文献1】特開平2-239188号公報

【特許文献2】特開平8-78348号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

しかし、単結晶基板上に気相エピタキシャル成長法によって化合物半導体の単結晶薄膜層を形成して化合物半導体エピタキシャル基板を製造する場合、その表面には上述の凸状欠陥の他、凹状の欠陥も発生する。凹状の欠陥は、凸状の欠陥に比べて直径寸法は数 $\mu\text{m}$ と小さいが、深さが基板表面近くまで到達するほど深いのが特徴である。この凹状の欠陥が生じていると、そのエピタキシャル基板を用いてデバイスを製作した場合、一般に、その製作されたデバイスの歩留りを低下させることが知られている。凹状欠陥の数が少ない場合には歩留りへの影響は少ないが、その数が増えるにつれて歩留りが悪くなり問題となってくる。

したがって、凸状欠陥のみならず凹状欠陥も低減させる必要があるが、凹状欠陥の場合には、特許文献2に見られるような基板自体の転位密度との間に相関関係もなく、また上述のようなオフ角制御だけではこの凹状欠陥の発生を抑制させることは困難であり、従来技術によっては凹状欠陥の発生を抑制させることができない。

## 【0006】

本発明の目的は、凹状欠陥の発生を抑制せしめた化合物半導体エピタキシャル基板の製造方法を提供することにある。

## 【課題を解決するための手段】

## 【0007】

本発明者等は、凹状欠陥の発生を抑制せしむべく鋭意検討を重ねた結果、エピタキシャル成長を、特定のV/III比を用い、特定の成長温度下、特定の成長速度で実施するとい

うきわめて限定された条件下で実施することにより、凹状欠陥の発生を抑制し得ることを見出すとともにさらに種々の検討を加え、本発明を完成した。

#### 【0008】

すなわち本発明は、(1) InP単結晶基板上に直接または該基板と格子整合するエピタキシャル層を介してInGaAs層をエピタキシャル成長させるに当たり、V/III比が10~100、成長温度が630℃~700℃、成長速度が0.6μm/h~2μm/hの条件下に成長させることを特徴とする化合物半導体エピタキシャル基板の製造方法を提供するものである。

また本発明は、(2) InP単結晶基板上に直接または該基板と格子整合するエピタキシャル層を介してInGaAs層をエピタキシャル成長させるに当たり、V/III比が10~100、成長温度が630℃~700℃、成長速度が0.6μm/h~2μm/hの条件下に成長させることを特徴とする化合物半導体エピタキシャル基板の凹状欠陥の抑制方法を提供するものである。

#### 【0009】

さらに本発明は、(3) InP単結晶基板として、面方位(100)方向で、面方位精度±0.05°以内である基板を用いることを特徴とする上記(1)または(2)記載の方法、(4)エピタキシャル成長をMOCVD法によって実施することを特徴とする上記(1)~(3)いずれかに記載の方法、(5)InGaAs層のエピタキシャル成長におけるガリウム原料が、トリメチルガリウム、インジウム原料が、トリメチルインジウムであることを特徴とする上記(1)~(4)いずれかに記載の方法、(6)上記(1)~(5)いずれかに記載の方法によって得られた化合物半導体エピタキシャル基板等を提供するものである。

#### 【発明の効果】

#### 【0010】

本発明によれば、面方位(100)方向からのずれがないInP単結晶基板またはInPに格子整合するエピタキシャル層上にInGaAs層をエピタキシャル成長させる際に、成長温度630℃~700℃、成長速度0.6μm/h~2μm/h、V/III比10~100という成長条件下で行うことにより、表面の凹状欠陥の発生を極めて有効に抑えることができる。また、このとき、TMGaを原料としてInGaAs層を成層することにより、エピタキシャル基板におけるIn組成の面内分布の均一性を著しく改善することができる。

#### 【発明を実施するための最良の形態】

#### 【0011】

以下、本発明について、図面を参照して詳細に説明する。

図1には、本発明の一実施例を説明するためのエピタキシャル基板の断面図が示されている。本実施例は、p-i-nダイオード用のエピタキシャル基板の一例であり、図1に示すエピタキシャル基板1は、InP基板2上に、1.0μm厚のInP層3、3.0μm厚のInGaAs層4及び1.0μm厚のInP層5をこの順序で成層し、p-i-nダイオード製造用の化合物半導体エピタキシャル基板を形成したものである。

#### 【0012】

InP基板2は、ここでは、面方位(100)からずれないオフ角が0°のいわゆるジャスト基板が用いられている。この基板の面方位精度は±0.05°以内である。尚、基板2は、オフ角が0.5°程度までであれば、使用し得るが、不純物の取り込み量、半導体レーザ用途等を考慮するとジャスト基板が好ましく用いられる。

また基板2上に積層される各層は、エピタキシャル気相成長法を用いて形成することができる。本実施例では気相成長法としてMOCVD法を用いたが、本発明はこの気相成長法のみ限定されるものではなく、例えば分子線エピタキシー(Molecular beam epitaxy)法(以下、MBE法と称することがある)等公知の適宜の気相成長法を用いることもできる。

#### 【0013】

図1では、InP層3がInP基板2上に形成されているが、この層は存在しなくても良いが、存在することが好ましい。またこの層は、InP基板2に格子整合するものであるれば良く例えば、InGaAs、InAlAs、InGaAsP、GaAsSb等であることもできる。さらにこのInP層3は、InP基板2に代えてGaAs等を用い格子不整合を緩和するいわゆるメタモフィックバッファを介して形成することもできる。

InGaAs層4のエピタキシャル成長は、V/III比が10~100、成長温度が630℃~700℃、成長速度が0.6μm/h~2μm/hの条件下に実施される。

V/III比は、好ましくは50~100、より好ましくは50~70である。V/II I比が、100を超えると凹状欠陥が急激に増加し、10未満ではV族元素が不足するためかV族空孔やIII族元素がV族サイトを占めるアンチサイト欠陥が発生するようになる。

#### 【0014】

ここで、V/III比とは、3-5族化合物半導体結晶成長時における5族原料と3族原料の供給量比である。一般に有機金属気相成長法においては、原料供給はガスボンベやバブラーからガスの状態で供給される。ガスボンベからのガスの供給量は供給ラインに設置されたマスフローコントローラーなどの流量制御装置によって制御され、(ボンベ内のガス濃度)×(ガス流量)が原料の実流量となる。バブラーからのガスの供給量はバブラーに流すキャリアガス供給ラインに設置されたマスフローコントローラーなどの流量制御装置によって制御され、(キャリアガス流量)×(バブラー内原料蒸気圧)/(バブラー内圧)が原料の実流量となる。これらの方式によって供給された原料実流量について5族原料と3族原料の供給量比をとったものを一般にV/III比と称している。本明細書においてもV/III比という用語を上述の定義に従うものとして使用している。

#### 【0015】

また5族原料としては、AsH<sub>3</sub>が、3族原料であるIn原料としては、トリメチルインジウム(TMI n)が、Ga原料としては、トリエチルガリウム(TEGa)がそれぞれ通常使用されるが、Ga原料としては、TEGaよりもトリメチルガリウム(TMGa)が好ましく、TMGaを用いることにより、エピタキシャル基板におけるInの面内分布を均一化し得る。

#### 【0016】

InGaAs層の成長温度は、630℃~700℃の範囲で実施される。好ましくは、640℃~680℃、さらに好ましくは、650℃~670℃である。630℃未満になると凹状欠陥が急激に増加し、一方700℃を超えるとエピタキシャル基板の表面が分解するためか白濁状態となる傾向にある。

またInGaAs層の成長速度は、0.6μm/h~2μm/hとなるように金属有機化合物原料の供給量を調整することにより実施される。成長速度は、0.6μm/h~1.5μm/hであることが好ましく、より好ましくは0.8μm/h~1.2μm/hである。2μm/hを超えると凹状欠陥が急増加し、一方0.6μm/h未満となると生産性が低下する。

#### 【0017】

##### (実施例)

以下、本発明の一実施例につき詳細に説明する。

#### 【実施例1】

#### 【0018】

図1に示す層構造のp-i-nダイオード用エピタキシャル基板を下記のようにして製作した。

まず、MOCVD薄膜作製装置内にInP基板2を導入する。

このInP基板2としては、面方位(100)のジャスト基板で面方位精度が±0.05°以内のもので、直径約8cmのものをを用いた。

装置内に導入後、660℃に昇温してPH<sub>3</sub>による基板表面処理を施した後、金属有機化合物原料としてTMI nを用いてInP基板2の上にInP層3を1μm形成した。次

に  $\text{PH}_3$  ガスを  $\text{AsH}_3$  ガスに切り替え、 $\text{TMIn}$ と $\text{TEGa}$ を原料として $\text{InGaAs}$ 層4 ( $\text{In}$ 組成0.53)を $3\mu\text{m}$ 形成した。このときの成長温度は $660^\circ\text{C}$ 、成長速度は $1\mu\text{m/h}$ 、 $\text{V/III}$ 比は70とした。次に再び $\text{AsH}_3$ ガスを $\text{PH}_3$ ガスに切り替えて $\text{InP}$ 層5を $1\mu\text{m}$ 形成した。得られたエピタキシャル基板の表面状態を微分干渉顕微鏡で観察したところ良好で、凹状欠陥は観察されなかった。

また $\text{InGaAs}$ 層4の $\text{In}$ 組成を高分解能X線装置で測定した結果を図5に示した。

#### 【実施例2】

##### 【0019】

実施例1において、 $\text{InGaAs}$ 層4の形成に使用した $\text{Ga}$ 原料を、 $\text{TEGa}$ から $\text{TMGa}$ に変更した以外は実施例1と全く同様にして各エピタキシャル層を形成した。得られたエピタキシャル基板の表面状態は良好で、凹状欠陥は観察されなかった。

また $\text{InGaAs}$ 層4の $\text{In}$ 組成を高分解能X線装置で測定した結果を図6に示した。

#### 【実施例3】

##### 【0020】

実施例2において、 $\text{InGaAs}$ 層4の成長温度を $690^\circ\text{C}$ 、成長速度を $2\mu\text{m/h}$ 、 $\text{V/III}$ 比20とした以外は実施例2と全く同様にして各エピタキシャル層を形成した。得られたエピタキシャル基板の表面状態は良好で、凹状欠陥は観察されなかった。

##### 【0021】

##### (比較例1)

実施例1において、 $\text{InGaAs}$ 層4の形成時の成長温度を $620^\circ\text{C}$ とした以外は実施例1と全く同様にして各エピタキシャル層を形成した。得られたエピタキシャル基板の表面には凹状欠陥が多量に観察された。

##### 【0022】

##### (比較例2)

実施例1において、 $\text{InGaAs}$ 層4の形成時の成長速度を $3\mu\text{m/h}$ とした以外は実施例1と全く同様にして各エピタキシャル層を形成した。得られたエピタキシャル基板の表面には凹状欠陥が多量に観察された。

##### 【0023】

##### (比較例3)

実施例2において、 $\text{InGaAs}$ 層4の形成時の $\text{V/III}$ 比を120とした以外は実施例2と全く同様にして各エピタキシャル層を形成した。得られたエピタキシャル基板の表面には凹状欠陥が多量に観察された。

#### 【実施例4】

##### 【0024】

実施例1において、 $\text{InGaAs}$ 層4の形成時の $\text{V/III}$ 比を63.4、成長速度を $1\mu\text{m/h}$ とし、成長温度を $600^\circ\text{C}$ ～ $700^\circ\text{C}$ まで適宜に変化させてエピタキシャル基板1を作製した。出来上がったエピタキシャル基板の表面欠陥密度を表面欠陥測定装置 ( $\text{Surfscan 6220}$ )により測定した。この測定結果を図2に示した。

#### 【実施例5】

##### 【0025】

実施例1において、 $\text{InGaAs}$ 層4の形成時の $\text{V/III}$ 比を63.4、成長温度を $650^\circ\text{C}$ とし、成長速度を $0.5\sim 3\mu\text{m/h}$ まで変化させてエピタキシャル基板を作製した。出来上がったエピタキシャル基板の表面1Aの欠陥密度を表面欠陥測定装置 ( $\text{Surfscan 6220}$ )により測定した。この測定結果を図3に示した。

#### 【実施例6】

##### 【0026】

実施例1において、 $\text{InGaAs}$ 層4の形成時の成長温度を $650^\circ\text{C}$ 、 $\text{V/III}$ 比を63.4とし、成長速度を $0.5\sim 3\mu\text{m/h}$ まで変化させてエピタキシャル基板を作製した。出来上がったエピタキシャル基板の表面1Aの欠陥密度を表面欠陥測定装置 ( $\text{Surfscan 6220}$ )により測定した。この測定結果を図4に示した。

## 【図面の簡単な説明】

【0027】

【図1】本発明の一実施例を説明するためのエピタキシャル基板の断面図。

【図2】本発明の実施例にかかわる InGaAs 層の成長温度と表面欠陥密度との関係を測定したグラフ。

【図3】本発明の実施例にかかわる InGaAs 層の成長速度と表面欠陥密度との関係を測定したグラフ。

【図4】本発明の実施例にかかわる InGaAs 層の成長時の V/III 比と表面欠陥密度との関係を測定したグラフ。

【図5】本発明の実施例にかかわる TEGa 使用時における InGaAs 層の In 組成の基板面内分布の測定結果を示すグラフ。

【図6】本発明の実施例にかかわる TMGa 使用時における InGaAs 層の In 組成の基板面内分布の測定結果を示すグラフ。

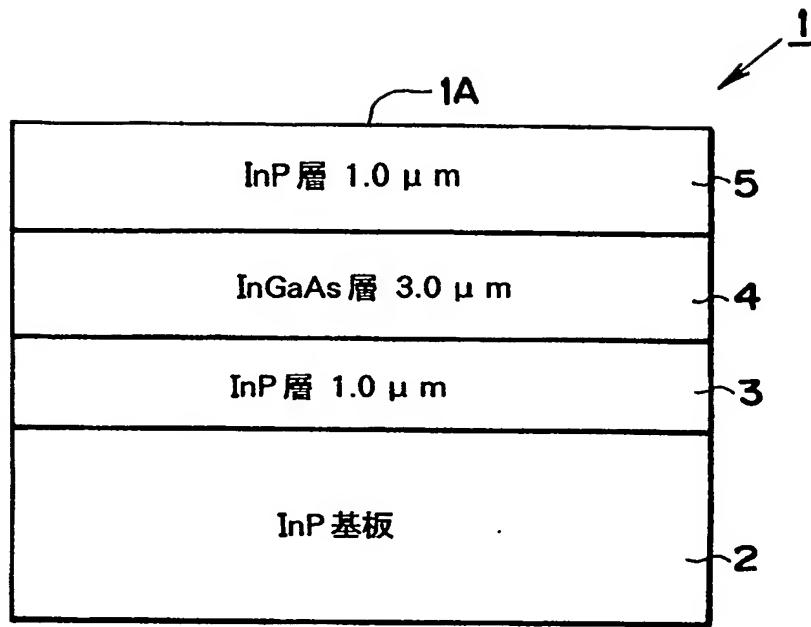
## 【符号の説明】

【0028】

- 1 エピタキシャル基板
- 2 InP 基板
- 3、5 InP 層
- 4 InGaAs 層

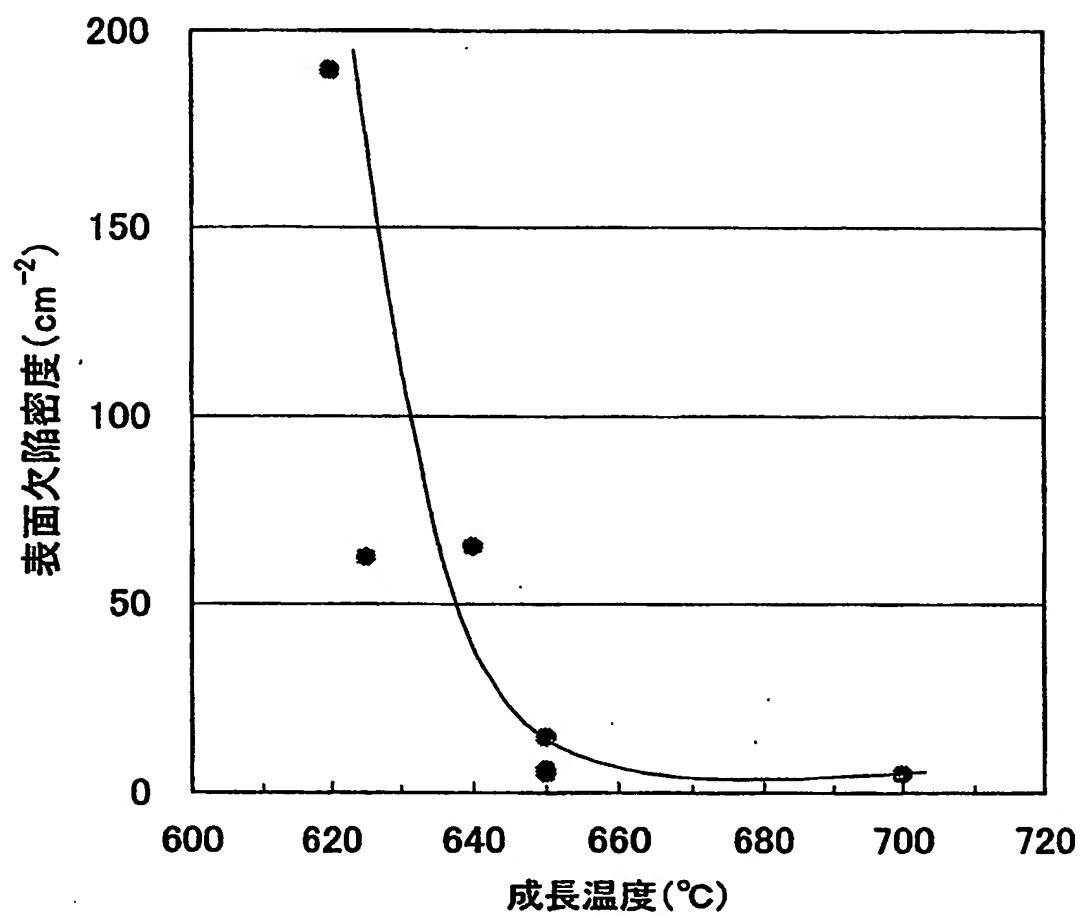


【書類名】 図面  
【図 1】



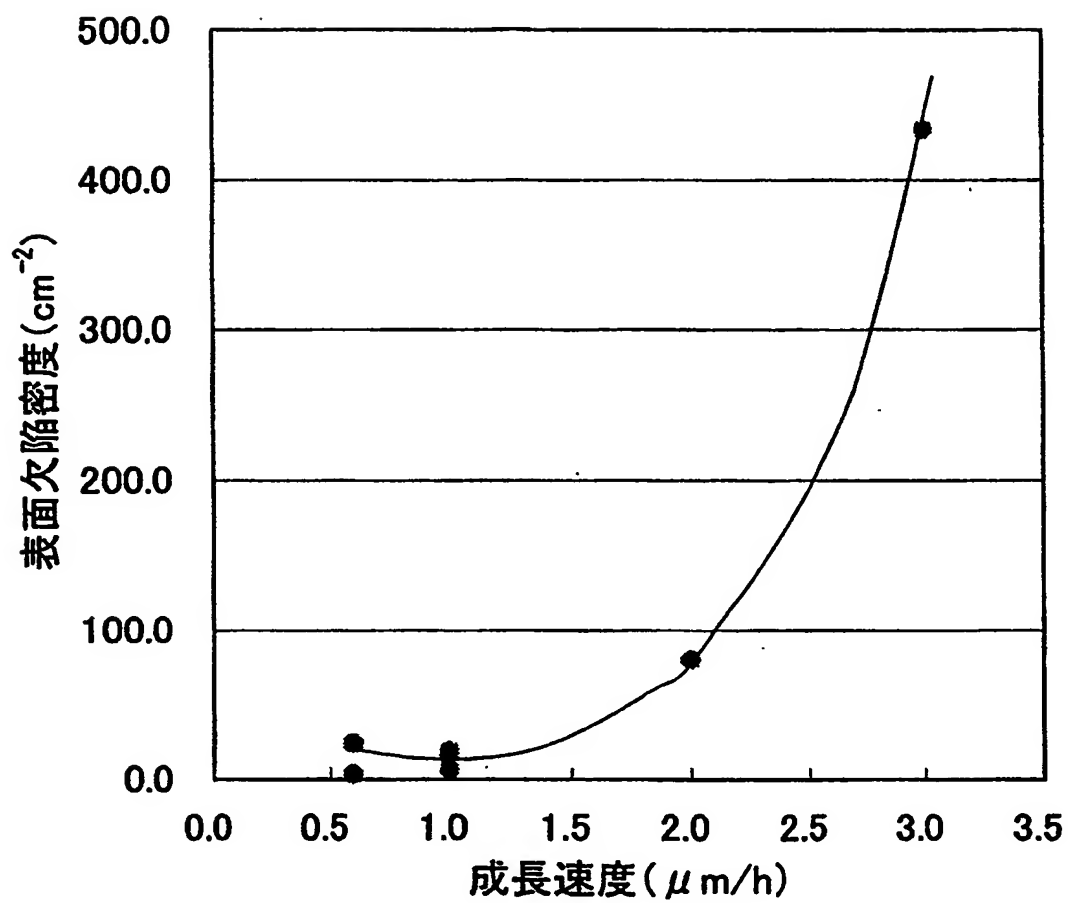
【図 2】

【図 2】

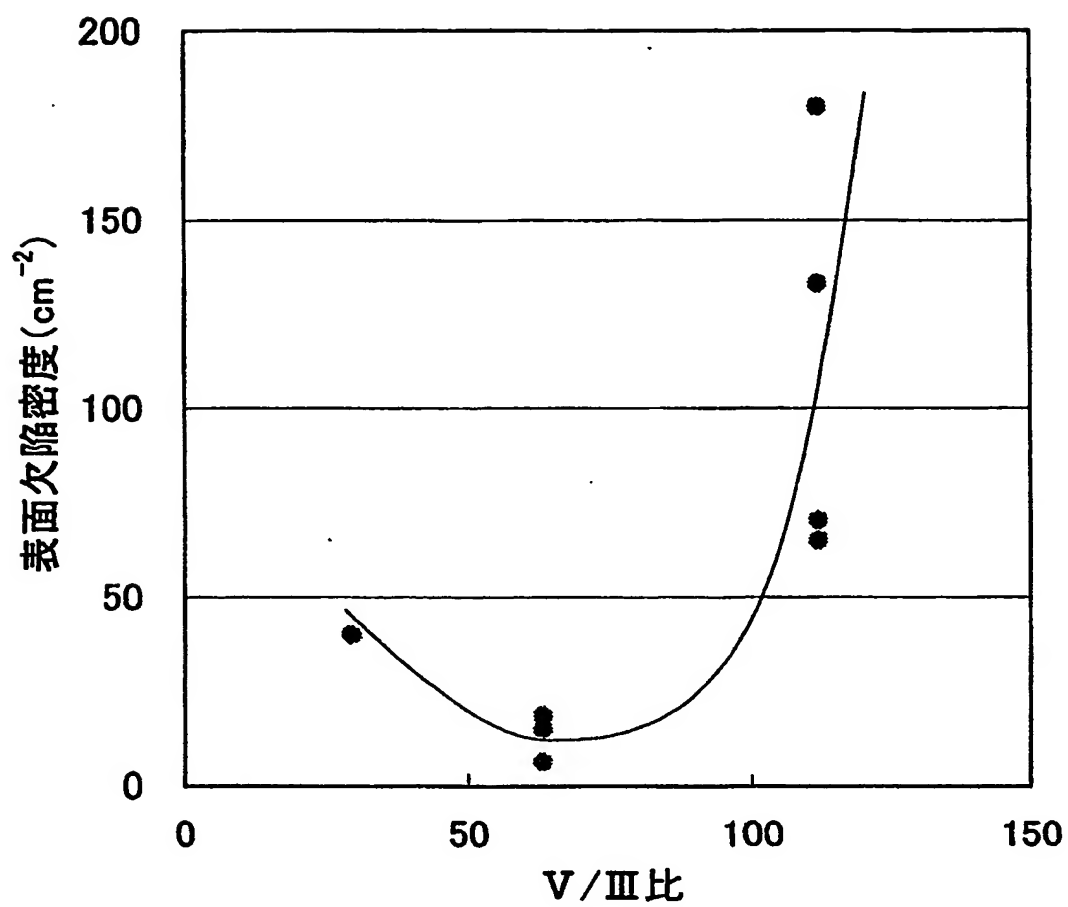


【図 3】

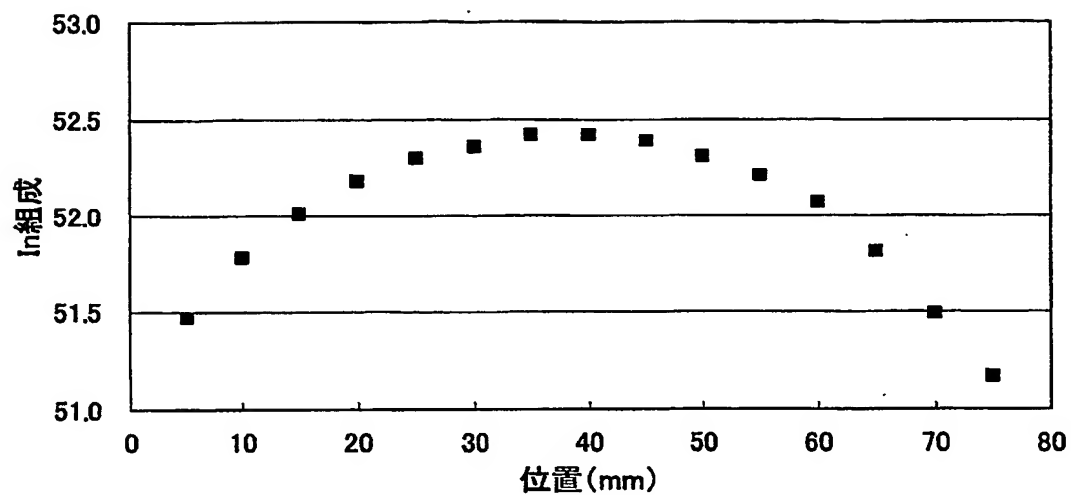
【図 3】



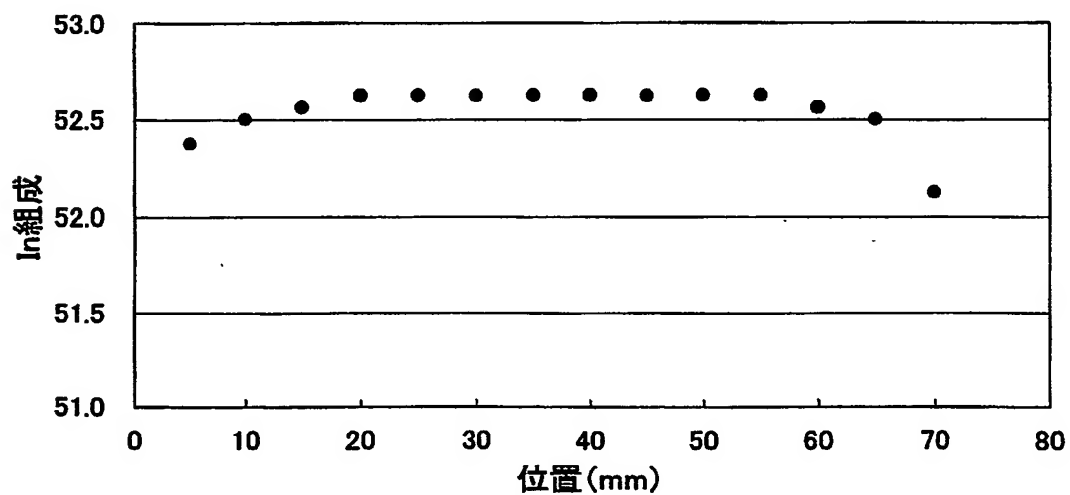
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 凹状欠陥の発生を有効に抑えるエピタキシャル基板の製造方法を提供すること

。 【解決手段】 面方位（100）方向からのずれがない InP 基板 2 上に InGaAs 層 4 をエピタキシャル成長させる際に、InP 基板 2 として面方位精度  $\pm 0.05^\circ$  以内の InP 基板を使用し、成長温度を  $630^\circ\text{C} \sim 700^\circ\text{C}$  とし、成長速度を  $0.6 \mu\text{m/h} \sim 2 \mu\text{m/h}$  とし、V/III 比を  $10 \sim 100$  とし、成長を行うことにより、凹状の欠陥が少なく表面状態も良好な化合物半導体エピタキシャル基板を製造することができるようにした。さらに、InGaAs 層 4 の成長に用いるガリウム原料をトリメチルガリウムとし、且つインジウム原料をトリメチルインジウムとすることにより In 組成の面内分布の均一性を改善した。

【選択図】 図 1

認定・付加情報

|         |                |
|---------|----------------|
| 特許出願の番号 | 特願 2003-382116 |
| 受付番号    | 50301867757    |
| 書類名     | 特許願            |
| 担当官     | 第五担当上席 0094    |
| 作成日     | 平成15年11月13日    |

<認定情報・付加情報>

【提出日】 平成15年11月12日

特願 2 0 0 3 - 3 8 2 1 1 6

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 0 9 3 ]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日  
[変更理由] 新規登録  
住 所 大阪府大阪市中央区北浜 4 丁目 5 番 3 3 号  
氏 名 住友化学工業株式会社
2. 変更年月日 2 0 0 4 年 1 0 月 1 日  
[変更理由] 名称変更  
住所変更  
住 所 東京都中央区新川二丁目 2 7 番 1 号  
氏 名 住友化学株式会社



# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/016905

International filing date: 08 November 2004 (08.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2003-382116  
Filing date: 12 November 2003 (12.11.2003)

Date of receipt at the International Bureau: 17 February 2005 (17.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse